

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-133956

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

G03F 1/08  
G06F 17/50  
H01L 21/027

(21)Application number : 11-318199

(71)Applicant : MATSUSHITA ELECTRONICS  
INDUSTRY CORP  
MATSUSHITA ELECTRIC IND CO  
LTD

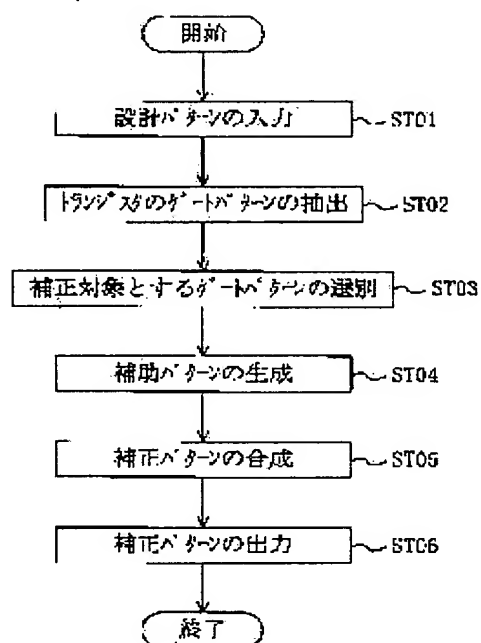
(22)Date of filing : 09.11.1999

(72)Inventor : KAMISAKO TAKASHI  
MUKAI KIYOSHI  
SHIBATA HIDENORI(54) METHOD FOR CORRECTING MASK PATTERN, PHOTOMASK AND SEMICONDUCTOR  
DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily form a correction pattern effective for preventing the deformation of a gate size occurring in the level difference portion consisting of a boundary between the diffusion region and element separation region of a transistor(TR).

SOLUTION: The gate pattern of the TR is first extracted from the inputted mask pattern in a gate pattern extraction stage ST02. Next, the size of the gate width of the extracted gate pattern is measured and is sorted as the object for the pattern correction when the measured value is blow the prescribed size in a gate pattern sorting stage ST03. An auxiliary pattern is then so formed that the pattern shape after exposure is nearly equaled to the design pattern with respect to the sorted gate pattern in an auxiliary pattern forming stage ST04. The formed auxiliary pattern and the inputted design pattern are thereafter synthesized in an auxiliary pattern synthesizing stage ST05 and the synthesized pattern is outputted as the auxiliary pattern in the next auxiliary pattern output stage ST06.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of  
rejection][Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-133956  
(P2001-133956A)

(43)公開日 平成13年5月18日(2001.5.18)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ド*(参考)
G 0 3 F 1/08		G 0 3 F 1/08	A 2 H 0 9 5
G 0 6 F 17/50		G 0 6 F 15/60	6 5 8 M 5 B 0 4 6
H 0 1 L 21/027		H 0 1 L 21/30	5 0 2 P

審査請求 未請求 請求項の数9 O L (全 15 頁)

(21)出願番号 特願平11-318199

(22)出願日 平成11年11月9日(1999.11.9)

(71)出願人 000005843

松下電子工業株式会社  
大阪府高槻市幸町1番1号

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 上迫 貴志

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

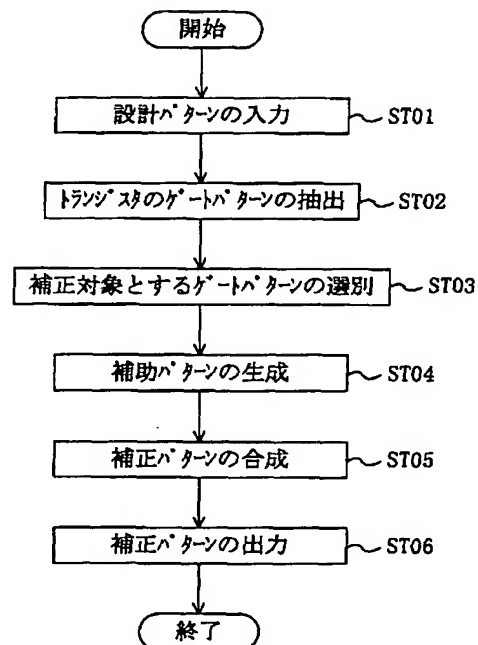
最終頁に続く

(54)【発明の名称】 マスクパターン補正方法、フォトマスク及び半導体装置

(57)【要約】

【課題】 トランジスタの拡散領域と素子分離領域との境界からなる段差部分に起因したゲート寸法の変形を防止する有効な補正パターンを簡便に生成できるようにする。

【解決手段】 まず、ゲートパターン抽出工程ST02において、入力されたマスクパターンから、トランジスタのゲートパターンを抽出する。次に、ゲートパターン選別工程ST03において、抽出されたゲートパターンのゲート幅の寸法を測定し、測定された値が所定寸法以下の場合にパターン補正の対象として選別する。次に、補助パターン生成工程ST04において、選別されたゲートパターンに対して、露光後のパターン形状が設計パターンとほぼ同等となるように補助パターンを生成する。次に、補正パターン合成工程ST05において、生成された補助パターンと入力された設計パターンとを合成し、次の補正パターン出力工程ST06において、補正パターンとして出力する。



1

## 【特許請求の範囲】

【請求項1】 トランジスタを含む所望の設計パターンを半導体基板上に転写する際に用いるマスクパターンを前記設計パターンと同等のパターンが得られるように補正するマスクパターン補正方法であって、前記設計パターンから前記トランジスタのゲートパターンを抽出する第1の工程と、抽出されたゲートパターンのゲート幅の寸法を測定し、測定された値が所定寸法以下の場合にパターン補正の対象として選別する第2の工程と、選別されたゲートパターンに対して、露光後のパターン形状が前記設計パターンの形状に近づくように補助パターンを生成する第3の工程と、生成された補助パターンを選別された前記ゲートパターンと合成することにより、前記マスクパターンを補正する補正パターンを生成する第4の工程とを備えていることを特徴とするマスクパターン補正方法。

【請求項2】 トランジスタを含む所望の設計パターンを半導体基板上に転写する際に用いるマスクパターンを前記設計パターンと同等のパターンが得られるように補正するマスクパターン補正方法であって、前記設計パターンから前記トランジスタにおける拡散領域と素子分離領域との境界部分を抽出する第1の工程と、抽出された境界部分と前記トランジスタのゲートパターンとの重なり部分からなる補正対象パターンを生成する第2の工程と、生成された補正対象パターンに対して、露光後のパターン形状が前記設計パターンの形状に近づくように補助パターンを付加する第3の工程と、付加された補助パターンを前記補正対象パターンと合成することにより、前記マスクパターンを補正する補正パターンを生成する第4の工程とを備えていることを特徴とするマスクパターン補正方法。

【請求項3】 トランジスタを含む所望の設計パターンを半導体基板上に転写する際に用いるマスクパターンを前記設計パターンと同等のパターンが得られるように補正するマスクパターン補正方法であって、前記設計パターンから前記トランジスタのゲートパターン及び拡散領域パターンを抽出する第1の工程と、抽出された拡散領域パターンのゲート長方向側の端部と前記ゲートパターンとの距離又は前記拡散領域パターンのゲート幅方向側の端部と前記ゲートパターンとの距離を測定し、測定された距離が所定値以下の場合に前記拡散領域パターンをパターン補正の対象として選別する第2の工程と、選別された拡散領域パターンに対して、露光後のゲートパターンの形状が前記設計パターンの形状に近づくように補助パターンを生成する第3の工程と、生成された補助パターンを選別された前記拡散領域パ

2

ーンと合成することにより、前記マスクパターンを補正する補正パターンを生成する第4の工程とを備えていることを特徴とするマスクパターン補正方法。

【請求項4】 請求項1に記載のマスクパターン補正方法により形成されていることを特徴とするフォトマスク。

【請求項5】 請求項2に記載のマスクパターン補正方法により形成されていることを特徴とするフォトマスク。

【請求項6】 請求項3に記載のマスクパターン補正方法により形成されていることを特徴とするフォトマスク。

【請求項7】 請求項1に記載のマスクパターン補正方法による補正パターンを用いて転写された設計パターンを有していることを特徴とする半導体装置。

【請求項8】 請求項2に記載のマスクパターン補正方法による補正パターンを用いて転写された設計パターンを有していることを特徴とする半導体装置。

【請求項9】 請求項3に記載のマスクパターン補正方法による補正パターンを用いて転写された設計パターンを有していることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置等の設計パターンの転写に用いるマスクパターンを所望の設計パターンに近いパターンが半導体基板上に転写されるようにあらかじめ補正するマスクパターン補正方法と、マスクパターン補正方法を用いて補正されたマスクパターンを有するフォトマスクと、マスクパターン補正方法を用いて補正されたマスクパターンを用いて製造された半導体装置とに関する。

## 【0002】

【従来技術】現在の半導体装置の製造工程においては、半導体装置の設計パターンが形成されたマスクパターンに露光光源からの露光光を透過することにより、半導体基板上のレジスト膜に所望の設計パターンを転写するフォトリソグラフィ工程が必須である。近年、半導体装置における設計パターンの微細化は、その製造プロセスにおける露光光源の波長を縮小するペース以上のペースで進んでいる。その結果、露光光源の波長と同等又はそれ以下の寸法をレジスト膜に転写するフォトリソグラフィ工程を行なわざるを得ない状況になりつつある。このことは、マスクパターン、すなわち設計パターンとレジスト膜上に転写された転写パターンとの間に無視できない差異が生じるという問題をもたらす。

【0003】このような差異をもたらす要因の一つとして、半導体素子の活性領域と素子分離領域との境界に生じる段差部分が挙げられる。

【0004】以下、図面を参照しながら転写パターンが変形する具体例を説明する。

10

30

40

50

3

【0005】図21は従来のマスクパターンを示し、図22(a)及び図22(b)は従来のマスクパターンに補正を施さない製造方法により得られた半導体装置であって、(a)は図21のXXIIa-XXIIa線と対応する位置の断面構成を示し、(b)は図21のXXIIb-XXIIb線と対応する位置の断面構成を示している。

【0006】図21は、方形状を有するトランジスタの拡散領域パターン101と、該拡散領域パターン101を囲む素子分離パターン102とからなる第1のマスクパターンと、拡散領域パターン101上における一辺と該一辺と対向する他辺とをまたぐように形成されたゲートパターン103からなる第2のマスクパターンとを併せた図形を表わしている。ここで、ゲートパターン103のゲート長をL1とする。また、拡散領域パターン101のゲート長方向におけるゲートパターン103の一辺と該一辺と対向する素子分離パターン102との寸法をF1とし、拡散領域パターン101のゲート幅方向の寸法であるトランジスタ幅をW1とする。

【0007】通常、トランジスタの製造時には、図22(a)及び図22(b)に示すように、素子分離形成用の第1のマスクパターンを用いて、半導体基板110上に拡散領域111と素子分離領域112とを形成し、その後、ゲート形成用の第2のマスクパターンを用いて、拡散領域111上にゲート113を形成する。

【0008】このゲートパターン露光工程において、半導体基板110上に既に形成されているLOCOS膜等からなる素子分離領域112は、基板面から突出した段差部分が生じる。この段差部分によって露光光が反射されるため、ゲートパターン103が転写されるレジストの露光状態が反射光の影響を受け、これにより、レジストパターンのパターン形状が変形する。従って、変形したレジストパターンをマスクとして形成されるゲート113の形状も所望の設計パターンからずれて、例えば、図22(a)及び図22(b)に示すように、例えば、ゲート長がL2と小さくなる。

【0009】このように、素子分離領域112の境界部分とゲートパターン103との距離に応じて、露光光における該境界部分からゲートパターン103への反射光の強度が異なるため、第2のマスクパターンに形成されたゲートパターン103の形状がレジストへの転写後に変形してしまう。このため、例えばリーク電流が増加する等のトランジスタ特性が劣化し、ついにはトランジスタの動作不良を招くことにもなる。

【0010】従来からこのような素子分離領域112の反射光による転写パターンの変形を防止する対策はいくつか講じられてきている。以下、従来の転写パターンの変形防止方法、すなわちマスクパターン補正方法の一例を説明する。

【0011】例えば、図21に示すマスクパターンにおいて、拡散領域パターン101の端部とゲートパターン

4

103との寸法F1及びトランジスタ幅W1に対して、ゲートパターン103への影響を検証して、実際のゲート113のパターン形状に変形が起こらないルールを設定する。さらに、転写した後に、ゲート113の形状が露光光の反射光の影響を受けそうな箇所をマスクパターンの設計段階で検出して、その結果をマスクパターンに反映させて補正パターンを作成する。この補正されたマスクパターンを用いて形成されたトランジスタを図23に示す。ここでは、図22(a)と同一の構成部材には同一の符号を付している。図23に示すように、ゲート113のゲート長は所望のゲート長に近い値のL3が得られる。

#### 【0012】

【発明が解決しようとする課題】しかしながら、前記従来のマスクパターン補正方法は、マスクパターン上で、拡散領域111と素子分離領域112との段差部分に起因する反射光の影響の検証を行なっている。すなわち、マスクパターンの設計工程において、マスクパターンの設計者が必要な補正パターンを作成するため、開発工数が膨大となり且つチップ面積が大きくなってしまいうという問題がある。半導体装置のチップ面積は、チップコストを決定する最大の要素であり、市場で競争力がある半導体チップを開発する上で最も重要である。

【0013】本発明は、前記従来の問題を解決し、トランジスタにおける拡散領域と素子分離領域との境界からなる段差部分に起因したゲート寸法の変形を防止する有効な補正パターンをチップ面積を増大させることなく簡単に生成できるようにすることを目的とする。

#### 【0014】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る第1のマスクパターン補正方法は、トランジスタを含む所望の設計パターンを半導体基板上に転写する際に用いるマスクパターンを設計パターンと同等のパターンが得られるように補正するマスクパターン補正方法を対象とし、設計パターンからトランジスタのゲートパターンを抽出する第1の工程と、抽出されたゲートパターンのゲート幅の寸法を測定し、測定された値が所定寸法以下の場合にパターン補正の対象として選別する第2の工程と、選別されたゲートパターンに対して、露光後のパターン形状が設計パターンの形状に近づくように補助パターンを生成する第3の工程と、生成された補助パターンを選別されたゲートパターンと合成することにより、マスクパターンを補正する補正パターンを生成する第4の工程とを備えている。

【0015】第1のマスクパターン補正方法によると、設計パターンからトランジスタのゲートパターンを抽出し、抽出されたゲートパターンのうち、ゲート幅の寸法が所定値以下の場合にパターン補正の対象として選別する。その後、選別されたゲートパターンに対して、露光後のパターン形状が設計パターンの形状に近づくように

5

パターンを拡大又は縮小する補助パターンを生成する。このように、設計パターンからトランジスタのゲートパターンを抽出し、抽出したゲートパターンが所定寸法以下の場合に補正対象パターンとするため、素子分離領域の段差部分からの反射光の影響を受けやすい比較的ゲート幅が小さいゲートパターンに対してのみ補正を行なうので、有効な補正パターンを効率良く生成することができる。

【0016】本発明に係る第2のマスクパターン補正方法は、トランジスタを含む所望の設計パターンを半導体基板上に転写する際に用いるマスクパターンを設計パターンと同等のパターンが得られるように補正するマスクパターン補正方法を対象とし、設計パターンからトランジスタにおける拡散領域と素子分離領域との境界部分を抽出する第1の工程と、抽出された境界部分とトランジスタのゲートパターンとの重なり部分からなる補正対象パターンを生成する第2の工程と、生成された補正対象パターンに対して、露光後のパターン形状が設計パターンの形状に近づくように補助パターンを付加する第3の工程と、付加された補助パターンを補正対象パターンと合成することにより、マスクパターンを補正する補正パターンを生成する第4の工程とを備えている。

【0017】第2のマスクパターン補正方法によると、設計パターンからトランジスタの拡散領域と素子分離領域との境界部分を抽出し、抽出された境界部分とトランジスタのゲートパターンとの重なり部分からなる補正対象パターンを生成する。その後、生成された補正対象パターンに対して、露光後のパターン形状が設計パターンの形状に近づくようにパターンを拡大又は縮小する補助パターンを付加する。このように、設計パターンから拡散領域及び素子分離領域の境界部分とトランジスタのゲートパターンとの重なり部分を生成して補正対象パターンとするため、ゲートパターンにおける素子分離領域の段差部分からの反射光の影響を受けやすい領域に対してのみ補正を行なうので、有効な補正パターンを効率良く生成することができる。

【0018】本発明に係る第3のマスクパターン補正方法は、トランジスタを含む所望の設計パターンを半導体基板上に転写する際に用いるマスクパターンを設計パターンと同等のパターンが得られるように補正するマスクパターン補正方法を対象とし、設計パターンからトランジスタのゲートパターン及び拡散領域パターンを抽出する第1の工程と、抽出された拡散領域パターンのゲート長方向側の端部とゲートパターンとの距離又は拡散領域パターンのゲート幅方向側の端部とゲートパターンとの距離を測定し、測定された距離が所定値以下の場合に拡散領域パターンをパターン補正の対象として選別する第2の工程と、選別された拡散領域パターンに対して、露光後のゲートパターンの形状が設計パターンの形状に近づくように補助パターンを生成する第3の工程と、生成

6

された補助パターンを選別された拡散領域パターンと合成することにより、マスクパターンを補正する補正パターンを生成する第4の工程とを備えている。

【0019】第3のマスクパターン補正方法によると、設計パターンからトランジスタのゲートパターン及び拡散領域パターンを抽出する。抽出された拡散領域パターンのゲート長方向側の端部とゲートパターンとの距離又は拡散領域パターンのゲート幅方向側の端部とゲートパターンとの距離を測定し、測定された距離が所定値以下の場合に該拡散領域パターンを補正の対象として選別する。続いて、選別された拡散領域パターンに対して、露光後のゲートパターンの形状が設計パターンの形状に近づくようにパターンを拡大又は縮小する補助パターンを生成する。このように、設計パターンからトランジスタのゲートパターン及び拡散領域を抽出し、抽出したゲートパターンと拡散領域の端部との距離が所定値以下の場合に、抽出した拡散領域パターンを補正対象パターンとするため、拡散領域と素子分離領域との境界からなる段差部分に起因したゲート寸法の変形の防止に有効な補正パターンを効率良く生成することができる。

【0020】本発明に係る第1のフォトマスクは、本発明の第1のマスクパターン補正方法により形成されている。従って、第1のフォトマスクは、露光後のゲートパターンの形状が設計パターンの形状に近づくように生成された補助パターンを有しているため、このフォトマスクを用いて半導体基板上のレジスト膜を露光すると、拡散領域と素子分離領域との境界部分に生じる段差部分に起因したゲート寸法の変形が防止されるので、所望のゲートパターンに近い（ほぼ同等）の転写パターンを得ることができる。

【0021】本発明に係る第2のフォトマスクは、本発明の第2のマスクパターン補正方法により形成されている。従って、第2のフォトマスクは、拡散領域及び素子分離領域の境界部分とトランジスタのゲートパターンとの重なり部分を補正対象パターンとし、該補正対象パターンに露光後のゲートパターンの形状が設計パターンの形状に近づくように付加された補助パターンを付加しているため、このフォトマスクを用いて半導体基板上のレジスト膜を露光すると、拡散領域と素子分離領域との境界部分に生じる段差部分に起因したゲート寸法の変形が防止されるので、所望のゲートパターンとほぼ同等の転写パターンを得ることができる。

【0022】本発明に係る第3のフォトマスクは、本発明の第3のマスクパターン補正方法により形成されている。従って、第3のフォトマスクは、露光後のゲートパターンの形状が設計パターンの形状に近づくように生成された補助パターンを有しているため、このフォトマスクを用いて半導体基板上のレジスト膜を露光すると、拡散領域と素子分離領域との境界部分に生じる段差部分に起因したゲート寸法の変形が防止されるので、所望のゲ

7

ートパターンとほぼ同等の転写パターンを得ることができる。

【0023】本発明に係る第1の半導体装置は、本発明の第1のマスクパターン補正方法による補正パターンを用いて転写された設計パターンを有している。

【0024】本発明に係る第2の半導体装置は、本発明の第2のマスクパターン補正方法による補正パターンを用いて転写された設計パターンを有している。

【0025】本発明に係る第3の半導体装置は、本発明の第3のマスクパターン補正方法による補正パターンを用いて転写された設計パターンを有している。

【0026】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態について図面を参照しながら説明する。

【0027】図1は本発明の第1の実施形態に係るマスクパターン補正方法の概略フローを示している。本実施形態においては、設計対象である半導体集積回路装置におけるレイアウト設計されたマスクパターン（設計パターン）は、CPUを組み込んだデータ処理装置が読み取り可能な数値データとして変換されており、例えばデータファイルに格納されているとする。

【0028】図1に示すように、まず、パターン入力工程ST01において、データ処理装置にマスクパターンとなるパターンデータを入力する。

【0029】次に、ゲートパターン抽出工程ST02において、入力されたマスクパターンから、電解効果トランジスタのゲートパターンを抽出する。

【0030】次に、ゲートパターン選別工程ST03において、抽出されたゲートパターンのゲート幅を測定し、測定された値が所定寸法以下の場合にパターン補正の対象として選別する。

【0031】次に、補助パターン生成工程ST04において、選別されたゲートパターンに対して、露光後のパターン形状が設計パターンとほぼ同等となるように補助パターンを生成する。

【0032】次に、補正パターン合成工程ST05において、生成された補助パターンと入力された設計パターンとを合成し、次の補正パターン出力工程ST06において、補正露光用のマスクパターン（補正パターン）として出力する。

【0033】以下、本実施形態に係るトランジスタのゲートパターンの補正方法について具体例を挙げて説明する。

【0034】図2（a）はパターン入力工程ST01において入力されたマスクパターンのうちの2つのトランジスタを含む図形パターンを示し、図2（b）はゲートパターン抽出工程ST02において抽出されたゲートパターンを示している。

【0035】図2（a）に示すように、平面かぎ形を有する第1の拡散領域パターン11Aと第2の拡散領域パ

8

ターン12Aとが互いに間隔をおいて配置されている。

第1の拡散領域パターン11A上における図面左側の領域には図面縦方向に延びるゲート及びゲート用配線となる第1のPS（多結晶シリコン）パターン13が配置されている。第1の拡散領域パターン11A上における図面右側の領域には第1のPSパターン13とほぼ平行に配置され且つ屈曲して第2の拡散領域パターン12A上における図面上側の領域で図面横方向に延びる第2のPSパターン14が配置されている。また、第2の拡散領域パターン12A上における図面下側の領域には第2のPSパターン14とほぼ平行に延びる第3のPSパターン15が配置されている。続いて、入力された第1及び第2の拡散領域パターン11A、12Aに対して、それぞれ、横方向及び縦方向にそれぞれ値が最大で0.1 $\mu$ m程度の第1の所定量Aだけ拡大させる拡大補正処理を行なうことにより、第1の拡大パターン11B及び第2の拡大パターン12Bを作成する。ここで、A=0の場合には第1及び第2の拡大パターン11B、12Bは、第1及び第2の拡散領域パターン11A、12Aとそれぞれ同一パターンとなる。

【0036】なお、第1及び第2の拡散領域パターン11A、12Aと、第1～第3のPSパターン13～15とは最終的には異なるフォトマスクに形成される。

【0037】次に、図2（b）に示すように、ゲートパターン抽出工程ST02において、第1の拡大パターン11Bと第1のPSパターン13との論理積演算を行なうことにより、第1のPSパターン13と第1の拡大パターン11Bとの重なり部分からなる第1のゲートパターン13aが抽出される。また、第1の拡大パターン11Bと第2のPSパターン14との論理積演算を行なうことにより、第2のPSパターン14と第1の拡大パターン11Bとの重なり部分からなる第2のゲートパターン14aが抽出される。同様に、第2のPSパターン14と第2の拡大パターン12Bとの重なり部分からなる第3のゲートパターン14bが抽出されると共に、第3のPSパターン15と第2の拡大パターン12Bとの重なり部分からなる第4のゲートパターン15aが抽出される。

【0038】図3（a）及び図3（b）はゲートパターン選別工程ST03において、複数のゲートパターンから補正対象とするゲートパターンが選別される様子を表わしている。図3（a）に示すように、第1のゲートパターン13a及び第2のゲートパターン14aは共に図面縦方向（Y方向）に延びており、第3のゲートパターン14b及び第4のゲートパターン15aは共に図面横方向（X方向）に延びている。

【0039】ここで、第1のゲートパターン13a及び第2のゲートパターン14aに対して、Y方向に値が0.4 $\mu$ m～1.0 $\mu$ m程度の第2の所定量2B分だけ縮小させる縮小処理を行なう。その結果、第1のゲート

9

パターン13aはゲート幅が2Bよりも大きいため、第1の縮小パターン13bが生成される。一方、第2のゲートパターン14aはゲート幅が2Bよりも小さいため、縮小パターンが生成されずに消滅する。同様に、第3のゲートパターン14b及び第4のゲートパターン15aに対して、X方向に第2の所定量Bだけ縮小させる縮小処理を行なう。その結果、第3のゲートパターン14bはゲート幅が2Bよりも大きいため、第2の縮小パターン14cが生成され、一方、第4のゲートパターン15aはゲート幅が2Bよりも小さいため、縮小パターンが生成されない。

【0040】次に、図3(b)に示すように、縮小パターンが存在する場合には、第1及び第2の縮小パターン13b及び14cに対してそれぞれ第2の所定量2B分の寸法を拡大して元のゲート幅の13a及び14bに戻す。続いて、図2(b)に示す第1のゲートパターン13a、第2のゲートパターン14a、第3のゲートパターン14b及び第4のゲートパターン15aと、図3(b)に示す第1のゲートパターン13a及び第3のゲートパターン14bとの論理減算を行なう。これにより、ゲート幅が2B以下である第2のゲートパターン14a及び第4のゲートパターン15aが補正対象パターンとして選別される。

【0041】図4(a)及び図4(b)は補助パターン生成工程ST04において、補正対象のゲートパターンに対する補助パターンが生成される様子を表わしている。図4(a)に示すように、補正対象の第2のゲートパターン14a及び第4のゲートパターン15aに対して、その周縁部を第3の所定量C分の拡大又は縮小する補正を行なうことにより、それぞれ第2のゲート拡大パターン14d及び第4のゲート拡大パターン15bを生成する。ここで、第3の所定量Cは、補正対象パターンのゲート幅に依存する値となる。すなわち、露光後のパターン形状が設計パターンの形状に近づく値とし、本実施形態においては、例えば0.005 $\mu$ m～0.02 $\mu$ mとしている。図4(a)においては、第3の所定量C分の拡大を行なっているが、使用するレジスト材のネガ型又はポジ型の極性や露光方法により縮小パターンとする場合もあり得る。

【0042】次に、図4(b)に示すように、第1の拡大パターン11Bと第2のゲート拡大パターン14dとの論理積、及び第2の拡大パターン12Bと第4のゲート拡大パターン15bとの論理積演算を行なうと、それぞれ第2のゲート補助パターン14eと第4のゲート補助パターン15cとを生成する。

【0043】図5は補正パターン合成工程ST05において、入力されたマスクパターンと補助パターンとが合成される様子を表わしている。図5に示すように、図2(a)に示す第1の拡散領域パターン11A、第2の拡散領域パターン12A、第1のPSパターン13、第2

10

のPSパターン14及び第3のPSパターン15と、図4(b)に示す第2のゲート補助パターン14e及び第4のゲート補助パターン15cとに対して論理和演算を行なうとこれらを合成することにより、補正パターンを生成する。

【0044】なお、本実施形態は、ゲートパターン選別工程ST03において、第2の所定量2Bの設定値が1通りの場合を示したが、第2の所定量2Bの値を複数個分設定し、ゲートパターン選別工程ST03を複数回繰り返すことにより、補正対象パターンを複数通りのゲート幅によって選別できるようになる。

【0045】第1の実施形態によると、入力されたマスクパターンからトランジスタのゲートパターンを抽出し、抽出したゲートパターンが、第2の所定量2B以下の場合に補正対象パターンとするため、素子分離領域の段差部分からの反射光の影響を受けやすい比較的ゲート幅が小さいゲートパターンに対してのみ補正を行なうので、有効な補正パターンを効率良く生成することができる。

【0046】図6は本実施形態に係るマスクパターン補正方法により作成された補正パターンを持つフォトマスクにおける1つのトランジスタの図形パターンを表わしている。図6に示すように、方形を有するトランジスタの拡散領域パターン21と、該拡散領域パターン21を囲む素子分離パターン22とからなる第1のマスクパターンと、拡散領域パターン21上における一辺と該一辺と対向する他辺とをまたぐように形成され、拡散領域パターン21上にゲート補助パターン23が付加されたゲートパターン24からなる第2のマスクパターンとを併せた図形を示している。ここで、ゲートパターン24のゲート長をL1とし、ゲート補助パターンのゲート長をL3とする。また、拡散領域パターン21のゲート長方向におけるゲート補助パターン23の一辺と該一辺と対向する素子分離パターン22との寸法をF1とし、拡散領域パターン21のゲート幅方向の寸法となるトランジスタ幅をW1とする。

【0047】図7は本実施形態に係るフォトマスクを用いて形成された半導体装置の断面構成であって、図6のVII-VII線と対応する位置の断面構成を示している。図7に示すように、シリコンからなる半導体基板30上には、LOCOS膜等からなる素子分離領域32により囲まれてなる拡散領域31が形成され、拡散領域31上には、設計パターンのゲート長とほぼ同等の、すなわちゲート長の誤差が実質的に無視できる程度のゲート長L2を持つゲート33が形成されている。

【0048】このように、少なくとも、互いに対向するゲート補助パターン23の側辺と素子分離パターン22との間の距離F1と、トランジスタ幅W1及びゲート補助パターン23のゲート長L3とを最適化することにより、所望のゲート長とほぼ同等のゲート長L2を持つゲ



11

ート33を形成できる。その結果、補正パターンの対象が限られることによりデータ処理量が膨大とならないため、補正パターンの作成に要する工数の増加を抑制できると共にチップ面積の増加をも抑制できる。

【0049】なお、半導体製造プロセスにおいては良く知られているように、設計パターンにおけるゲート長L1は、実際に形成されるゲート33のゲート長L2と同等とは限らない。すなわち、フォトリソグラフィ工程によるサイズの変化分を見越して、所望のゲート長L2が得られるように調整されている。本実施形態に係るゲート補助パターン23のゲート長L3は、あらかじめ形成されている素子分離領域32の段差部からの露光光の反射光によって、ゲート33のゲート長L2が変化してしまうことを防止できるように調整されている。以下の実施形態においても同様である。

【0050】（第2の実施形態）以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0051】図8は本発明の第2の実施形態に係るマスクパターン補正方法の概略フローを示している。本実施形態においても、設計対象である半導体集積回路装置におけるレイアウト設計されたマスクパターン（設計パターン）は、コンピュータ処理が可能な数値データとして変換されているとする。

【0052】図8に示すように、まず、パターン入力工程ST11において、データ処理装置にマスクパターンとなるパターンデータを入力する。

【0053】次に、拡散領域境界部分抽出工程ST12において、入力されたマスクパターンから、電解効果トランジスタを検索する。続いて、検索した電解効果トランジスタの拡散領域パターンにおける素子分離領域パターンとの境界部分を抽出し、抽出した境界部分に所定の幅を持たせた枠状の図形パターンとして出力する。

【0054】次に、補正対象パターン生成工程ST13において、抽出された境界部分上に位置するゲートパターンを検索し、ゲートパターンにおける境界部分との重なり部分を補正対象パターンとして生成する。

【0055】次に、補助パターン生成工程ST14において、生成された補正対象パターンに対して、露光後のパターン形状が設計パターンとほぼ同等となるように補助パターンを付加する。

【0056】次に、補正パターン合成工程ST15において、補助パターンが付加された補正対象パターンと入力された設計パターンとを合成する。続いて補正パターン出力工程ST16において、補正露光用のマスクパターン（補正パターン）として出力する。

【0057】以下、本実施形態に係るトランジスタのゲートパターンの補正方法について具体例を挙げて説明する。

【0058】図9（a）～図9（d）は拡散領域境界部分抽出工程ST12において、トランジスタの拡散領域

12

の境界部分が生成される様子を表わしている。まず、図9（a）に示すように、入力されたマスクパターンデータのなかから、トランジスタの拡散領域パターン41及びゲートパターン42を抽出する。

【0059】次に、図9（b）に示すように、拡散領域パターン41の周囲に対して、例えば、値が $0.01\mu\text{m}$ ～ $0.1\mu\text{m}$ 程度の第1の所定量D分の拡大補正を行うことにより、拡大領域パターン41Aを生成する。

【0060】次に、図9（c）に示すように、拡散領域パターン41の周囲に対して、例えば、値が $0.01\mu\text{m}$ ～ $0.5\mu\text{m}$ 程度の第2の所定量E分の縮小補正を行うことにより、縮小領域パターン41Bを生成する。

【0061】次に、図9（d）に示すように、拡大領域パターン41Aと縮小領域パターン41Bとに対して論理減算を施すことにより、拡散領域パターン41の境界部分からなる枠状の境界領域パターン41Cを得る。

【0062】図10は補正対象パターン生成工程ST13において補正対象パターンが生成される様子を表わしている。図10に示すように、境界領域パターン41Cとゲートパターン42とに対して論理積演算を施すことにより、補正対象パターン43Aを得る。

【0063】図11（a）及び図11（b）は補助パターン生成工程ST14において補助パターンが生成される様子を表わしている。まず、図11（a）に示すように、補正対象パターン43Aの周囲を、例えば値が $0.005\mu\text{m}$ ～ $0.02\mu\text{m}$ 程度の第3の所定量F分だけ拡大した補正対象拡大パターン43Bを生成する。

【0064】次に、図11（b）に示すように、補正対象拡大パターン43Bと境界領域パターン41Cとに論理積演算を施して、ゲート補助パターン43Cを得る。

【0065】図12（a）及び図12（b）は補正パターン合成工程ST15において補正パターンが生成される様子を表わしている。まず、図12（a）に示すように、ゲートパターン42から境界領域パターン41Cを減算する論理減算を行なって、非補正ゲートパターン42aを生成する。これにより、補正パターンの合成領域が確保される。

【0066】次に、図12（b）に示すように、非補正ゲートパターン42aとゲート補助パターン43Cとに対して論理和演算を行なってこれらを合成することにより、補正パターンを生成する。

【0067】図13は本実施形態に係るマスクパターン補正方法により作成された補正パターンを持つフォトマスクにおける1つのトランジスタの図形パターンを表わしている。図13に示すように、方形状を有するトランジスタの拡散領域パターン21と、該拡散領域パターン21を囲む素子分離パターン22とからなる第1のマスクパターンと、拡散領域パターン21上における一辺と該一辺と対向する他辺とをまたぐように形成され、拡散領域パターン21及び素子分離パターン22の境界部分

13

上にゲート補助パターン23が付加されたゲートパターン24からなる第2のマスクパターンとを併せた図形を示している。

【0068】ここで、ゲートパターン24のゲート長をL1とし、ゲート補助パターンのゲート長をL3とする。また、拡散領域パターン21のゲート長方向におけるゲートパターン24の一边と該一边と対向する素子分離パターン22との寸法をF2とし、拡散領域パターン21のゲート幅方向の寸法となるトランジスタ幅をW1とする。

【0069】第2の実施形態によると、入力されたマスクパターンからトランジスタのゲートパターン及び拡散領域パターンを抽出し、抽出したゲートパターンと拡散領域パターンの周縁部との重なり部分にのみ、すなわち、素子分離領域の段差部分からの反射光の影響を受けやすい部分にのみ補正を行なうため、データ処理量を抑制できるので、チップ面積を大きく増大させることなく、有効な補正パターンを効率良く生成することができる。

【0070】図14は本実施形態に係るフォトマスクを用いて形成された半導体装置の断面構成であって、図13のXIV-XIV線と対応する位置の断面構成を示している。図14に示すように、シリコンからなる半導体基板30上には、LOCOS膜等からなる素子分離領域32により囲まれてなる拡散領域31が形成され、該拡散領域31上には、設計パターンのゲート長とほぼ同等のゲート長L2を持つゲート33が形成されている。

【0071】このように、本実施形態においても、互いに対向するゲートパターン24の側辺と素子分離パターン22との間の距離F2と、トランジスタ幅W1及びゲート補助パターン23のゲート長L3とを最適化することにより、所望のゲート長とほぼ同等のゲート長L2を持つゲート33を形成することができる。

【0072】なお、本実施形態においては、すべてのトランジスタに対して補正を行なっているが、トランジスタ幅W1に対して上限を設けることにより、補正対象パターンを制限してもよい。

【0073】(第3の実施形態)以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0074】図15は本発明の第3の実施形態に係るマスクパターン補正方法の概略フローを示している。本実施形態においても、設計対象である半導体集積回路装置におけるレイアウト設計されたマスクパターン(設計パターン)は、コンピュータ処理が可能な数値データとして変換されているとする。

【0075】図15に示すように、まず、パターン入力工程ST21において、データ処理装置にマスクパターンとなるパターンデータを入力する。

【0076】次に、PSパターン及び拡散領域パターン抽出工程ST22において、入力されたマスクパターン

14

から、電解効果トランジスタのPSパターン及び活性領域パターンを検索して、活性領域からPSパターンとの重なり部分を持たない拡散領域パターンを抽出する。ここでは、PSパターンはゲート及びゲート用配線をさす。

【0077】次に、補正対象パターン選別工程ST23において、抽出された拡散領域パターンのゲート長方向側の端部とPSパターンとの距離、又は拡散領域パターンのゲート幅方向側の端部とPSパターンとの間の距離を測定し、測定された距離が所定値以下の場合に該拡散領域パターンをパターン補正の対象として選別する。

【0078】次に、補助パターン生成工程ST24において、選別された拡散領域パターンに対して、露光後のPSパターンにおけるゲート領域の形状が設計パターンとほぼ同等となるように補助パターンを生成する。

【0079】次に、補正パターン合成工程ST25において、生成された補助パターンと入力された設計パターンとを合成し、次の補正パターン出力工程ST26において、補正露光用のマスクパターン(補正パターン)として出力する。

【0080】以下、本実施形態に係るトランジスタのゲートパターンの補正方法について具体例を挙げて説明する。

【0081】図16はゲート及び拡散領域パターン抽出工程ST22において抽出されたトランジスタの拡散領域パターン及びPSパターンを示している。図16に示すように、入力されたマスクパターンデータのなかから、トランジスタの活性領域パターン51AとPSパターン52とを検索する。続いて、活性領域パターン51AにおけるPSパターン52と重ならないソース又はドレインからなる拡散領域パターン51Bを抽出する。

【0082】図17(a)～図17(d)、図18

(a)～図18(d)及び図19(a)～図19(c)は補正対象パターン選別工程において、抽出された拡散領域パターンが補正対象部分を含むか否かを判定し、補正対象部分を含む場合には補正対象候補として選別する様子を表わしている。まず、図17(a)に示すように、抽出された拡散領域51Bに対して、X方向の側端部に第1の所定量G分の拡大処理を行なうことにより、第1のエッジパターン51aを生成する。同様に、拡散領域51BのY方向の側端部にも第1の所定量G分の拡大処理を行なうことにより、第2のエッジパターン51bを生成する。ここで、第1の所定量Gは、次工程において第1及び第2のエッジパターン51a、51bに対する演算処理を行なえる程度の量であればよく、例えば、 $0.01\mu\text{m} \sim 0.001\mu\text{m}$ 程度でよい。

【0083】次に、図17(c)に示すように、PSパターン52と第1のエッジパターン51aとの論理和演算により第1の合成パターン53Aを生成する。同様に、図17(d)に示すように、PSパターン52と第

15

2のエッジパターン51bとの論理和演算により第2の合成パターン53Bを生成する。

【0084】次に、図18(a)に示すように、第1の合成パターン53Aに含まれる第1のエッジパターン51a等の各パターンの周囲に対して第2の所定量 $H/2$ 分の拡大処理を行なって第1の拡大合成パターン54Aを生成する。同様に、図18(b)に示すように、第2の合成パターン53Bに含まれる第2のエッジパターン51b等の各パターンの周囲に対して第2の所定量 $H/2$ 分の拡大処理を行なって第2の拡大合成パターン54Bを生成する。ここで、第2の所定量 $H/2$ は、例えば、 $0.5\mu\text{m}\sim 0.8\mu\text{m}$ 程度としている。

【0085】次に、図18(c)に示すように、第1の拡大合成パターン54Aの周縁部に対して第2の所定量 $H/2$ 分の縮小処理を行なうことにより、第1の合成パターン53Aに第1の補正対象候補パターン54aを生成する。同様に、図18(d)に示すように、第2の拡大合成パターン54Bの周縁部に対して第2の所定量 $H/2$ 分の縮小処理を行なうことにより、第2の合成パターン54Aに第2の補正対象候補パターン54bを生成する。

【0086】次に、図19(a)に示すように、図18(c)に示すパターンに対して第1の合成パターン53Aの論理減算を施すことにより、第1の補正対象候補パターン54aのみのデータを抽出する。同様に、図19(b)に示すように、図18(d)に示すパターンに対して第2の合成パターン53Bの論理減算を施すことにより、第2の補正対象候補パターン54bのみのデータを抽出する。このように、拡散領域のエッジパターンとPSパターンとが対向する部分の間隔が所定量 $H$ 以下となる場合にのみ、補正対象候補パターンが生成される。

【0087】次に、図19(c)に示すように、第1の補正対象候補パターン54a及び第2の補正対象候補パターン54bから補正対象パターンを生成する。具体的には、第1及び第2の補正対象候補パターン54a、54bに対して拡散領域パターン51Aとの論理積演算を行なって拡散領域パターン51Aに含まれる領域のみを抽出することにより、第1の補正対象候補パターン54aから補正対象パターン54cを得る。一方、第2の補正対象候補パターン54bは散領域パターン51Aに含まれないため消滅する。

【0088】図20(a)～図20(d)は補助パターン生成工程ST24において、補正対象パターンに基づいて補助パターンが生成される様子を表わしている。

【0089】まず、図20(a)に示すように、図16に示す設計パターンと補正対象パターン54cとの論理和演算を行なった後、補正対象パターン54cの周囲に対して、 $0.005\mu\text{m}\sim 0.02\mu\text{m}$ 程度の第3の所定領域I分の拡大処理を施すことにより、第1の補正対象拡大パターン54dを生成する。続いて、図20

16

(b)に示すように、PSパターン52の周囲に対して第3の所定領域I分の拡大処理を施すことにより、第2の補正対象拡大パターン52aを生成する。

【0090】次に、図20(c)に示すように、PSパターン52と第1の補正対象拡大パターン54dとの論理積演算を行なうことにより、PSパターン52におけるゲート部分の側部に第1の補助パターン54eを生成する。同様に、図20(d)に示すように、第2の補正対象拡大パターン52aと補正対象パターン54cとの論理積演算を行なうことにより、拡散領域パターン51BにおけるPSパターン52のゲート部分と隣接する側部に第2の補助パターン54fを生成する。このとき、第1の補助パターン54e及び第2の補助パターン54fのゲート長方向の幅は第3の所定量Iにより決定される。

【0091】次に、補正パターン合成工程ST25において、第1の補助パターン54eは、設計パターンであるPSパターン52との間で論理減算による合成を行なうことにより補正露光用データを生成する。一方、第2の補助パターン54fは、PSパターン52との間で論理和演算による合成を行なうことにより補正露光用データを生成する。

【0092】このように、第3の実施形態によると、互いに対向するPSパターン52の側面と拡散領域パターン51Bの側端部との間の距離が所定量 $H$ 以下の場合にのみその拡散領域パターン51Bに補正対象パターン54cを生成するため、素子分離領域の段差部分からの反射光の影響を受けやすいPSパターンにおけるゲート領域に対してのみ補正を行なうので、補正パターンの作成に要する工数の増加を抑制できると共に、チップ面積の増加をも抑制できる。

【0093】

【発明の効果】本発明に係る第1のマスクパターン補正方法によると、設計パターンからトランジスタのゲートパターンを抽出し、抽出したゲートパターンが所定寸法以下の場合に補正対象パターンとするため、素子分離領域の段差部分からの反射光の影響を受けやすい比較的ゲート幅が小さいゲートパターンに対してのみ補正を行なうので、パターンデータの処理量を抑制できる。その結果、有効な補正パターンを効率良く迅速に生成できると共に補正によるチップ面積の増大をも抑制できる。

【0094】本発明に係る第2のマスクパターン補正方法によると、設計パターンから拡散領域及び素子分離領域の境界部分とトランジスタのゲートパターンとの重なり部分を生成して補正対象パターンとするため、ゲートパターンにおける素子分離領域の段差部分からの反射光の影響を受けやすい領域に対してのみ補正を行なうので、有効な補正パターンを効率良く迅速に生成できると共に補正によるチップ面積の増大をも抑制できる。

【0095】本発明に係る第3のマスクパターン補正方

17

法によると、設計パターンからトランジスタのゲートパターン及び拡散領域を抽出し、抽出したゲートパターンと拡散領域の端部との距離が所定値以下の場合に、抽出した拡散領域パターンを補正対象パターンとするため、拡散領域と素子分離領域との境界からなる段差部分に起因したゲート寸法の変形の防止に有効な補正パターンを効率良く迅速に生成できると共に補正によるチップ面積の増大をも抑制できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るマスクパターン補正方法を示す概略フロー図である。

【図2】(a)は本発明の第1の実施形態に係るマスクパターン補正方法のパターン入力工程におけるマスクパターンを示す平面図である。(b)は本発明の第1の実施形態に係るマスクパターン補正方法のゲートパターン抽出工程におけるマスクパターンを示す平面図である。

【図3】(a)及び(b)は本発明の第1の実施形態に係るマスクパターン補正方法のゲートパターン選別工程における図形パターンを示す平面図である。

【図4】(a)及び(b)は本発明の第1の実施形態に係るマスクパターン補正方法の補助パターン生成工程における図形パターンを示す平面図である。

【図5】本発明の第1の実施形態に係るマスクパターン補正方法の補正パターン合成工程における図形パターンを示す平面図である。

【図6】本発明の第1の実施形態に係るマスクパターン補正方法により形成されたフォトマスクのマスクパターンを示す平面図である。

【図7】本発明の第1の実施形態に係るフォトマスクを用いて形成された半導体装置を示し、図6のVII-VII線と対応する位置における構成断面図である。

【図8】本発明の第2の実施形態に係るマスクパターン補正方法を示す概略フロー図である。

【図9】(a)～(d)は本発明の第2の実施形態に係るマスクパターン補正方法の拡散領域境界部分抽出工程における図形パターンを示す平面図である。

【図10】本発明の第2の実施形態に係るマスクパターン補正方法の補正対象パターン生成工程における図形パターンを示す平面図である。

【図11】(a)及び(b)は本発明の第2の実施形態に係るマスクパターン補正方法の補助パターン生成工程における図形パターンを示す平面図である。

【図12】(a)及び(b)は本発明の第2の実施形態に係るマスクパターン補正方法の補正パターン合成工程における図形パターンを示す平面図である。

【図13】本発明の第2の実施形態に係るマスクパターン補正方法により形成されたフォトマスクのマスクパターンを示す平面図である。

【図14】本発明の第2の実施形態に係るフォトマスクを用いて形成された半導体装置を示し、図13のXIV-

18

XIV線と対応する位置における構成断面図である。

【図15】本発明の第3の実施形態に係るマスクパターン補正方法を示す概略フロー図である。

【図16】本発明の第3の実施形態に係るマスクパターン補正方法のゲート及び拡散領域パターン抽出工程における図形パターンを示す平面図である。

【図17】(a)～(d)は本発明の第3の実施形態に係るマスクパターン補正方法の補正対象パターン選別工程における図形パターンを示す平面図である。

【図18】(a)～(d)は本発明の第3の実施形態に係るマスクパターン補正方法の補正対象パターン選別工程における図形パターンを示す平面図である。

【図19】(a)～(c)は本発明の第3の実施形態に係るマスクパターン補正方法の補正対象パターン選別工程における図形パターンを示す平面図である。

【図20】(a)～(d)は本発明の第3の実施形態に係るマスクパターン補正方法の補助パターン生成工程における図形パターンを示す平面図である。

【図21】従来のフォトマスクのマスクパターンを示す平面図である。

【図22】従来のマスクパターンに補正を施さない製造方法により得られた半導体装置を示し、(a)は図21のXXII a-XXII a線と対応する位置における構成断面図であり、(b)は図21のXXII b-XXII b線と対応する位置における構成断面図である。

【図23】従来のマスクパターンに補正を施した製造方法により得られた半導体装置を示す構成断面図である。

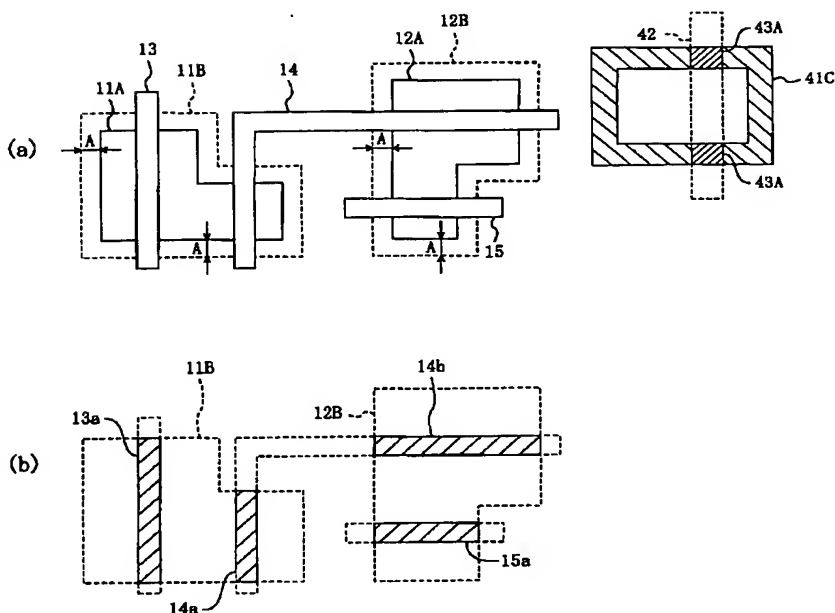
【符号の説明】

1 1 A	第1の拡散領域パターン
1 1 B	第1の拡大パターン
1 2 A	第2の拡散領域パターン
1 2 B	第2の拡大パターン
1 3	第1のPSパターン
1 3 a	第1のゲートパターン
1 3 b	第1の縮小パターン
1 4	第2のPSパターン
1 4 a	第2のゲートパターン
1 4 b	第3のゲートパターン
1 4 c	第2の縮小パターン
1 4 d	第2のゲート拡大パターン
1 4 e	第2のゲート補助パターン
1 5	第3のPSパターン
1 5 a	第4のゲートパターン
1 5 b	第4のゲート拡大パターン
1 5 c	第4のゲート補助パターン
2 1	拡散領域パターン
2 2	素子分離パターン
2 3	ゲート補助パターン
2 4	ゲートパターン
3 0	半導体基板

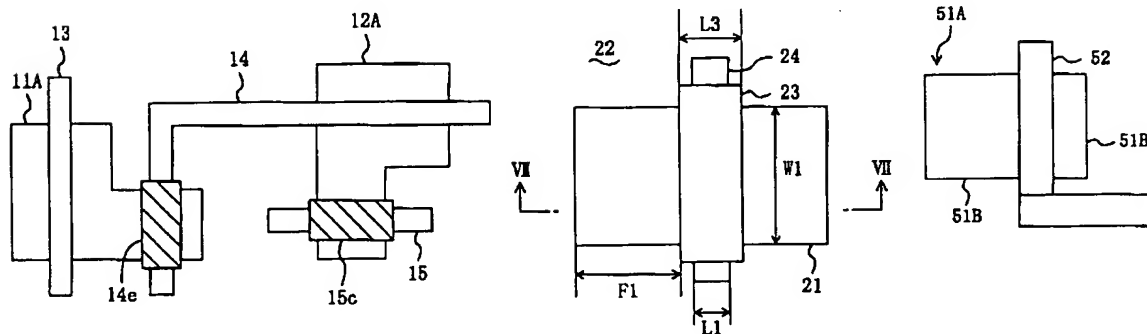
20

- |    |         |                 |
|----|---------|-----------------|
|    | * 5 1 a | 第 1 のエッジパターン    |
|    | 5 1 b   | 第 2 のエッジパターン    |
|    | 5 2     | P S パターン        |
|    | 5 2 a   | 第 2 の補正対象拡大パターン |
|    | 5 3 A   | 第 1 の合成パターン     |
|    | 5 3 B   | 第 2 の合成パターン     |
|    | 5 4 A   | 第 1 の拡大合成パターン   |
|    | 5 4 B   | 第 2 の拡大合成パターン   |
|    | 5 4 a   | 第 1 の補正対象候補パターン |
| 10 | 5 4 b   | 第 2 の補正対象候補パターン |
|    | 5 4 c   | 補正対象パターン        |
|    | 5 4 d   | 第 1 の補正対象拡大パターン |
|    | 5 4 e   | 第 1 の補助パターン     |
| *  | 5 4 f   | 第 2 の補助パターン     |

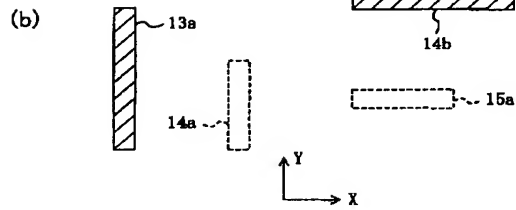
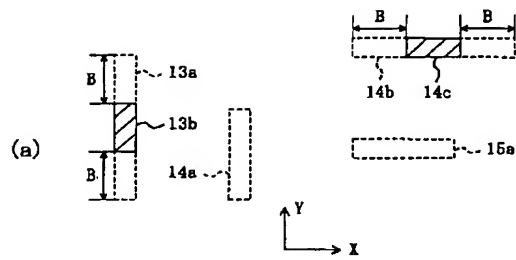
【图 10】



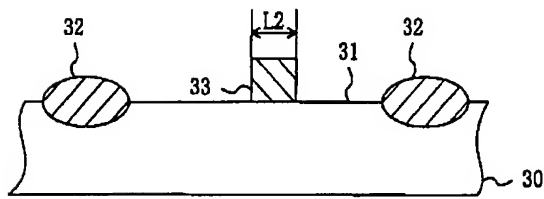
【图 16】



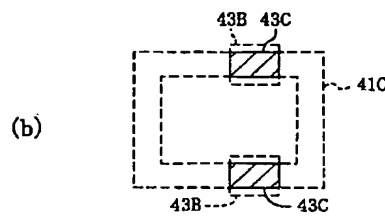
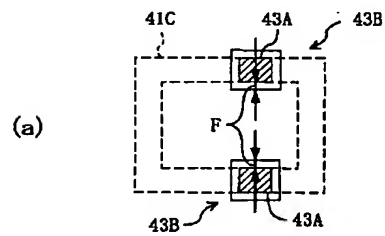
【図 3】



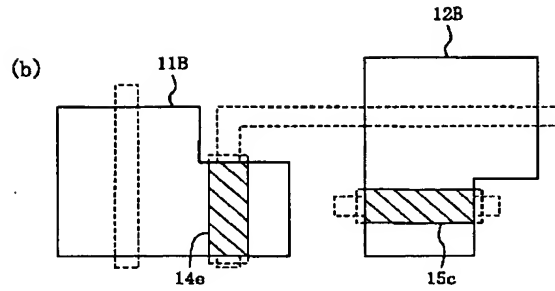
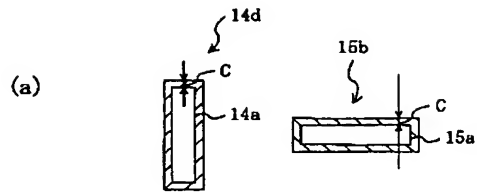
【図 7】



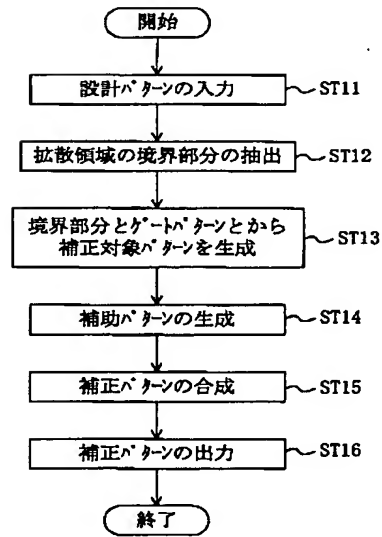
【図 11】



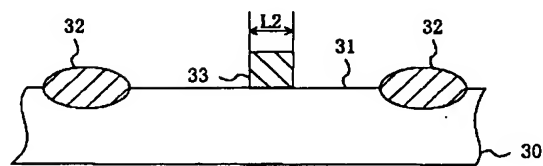
【図 4】



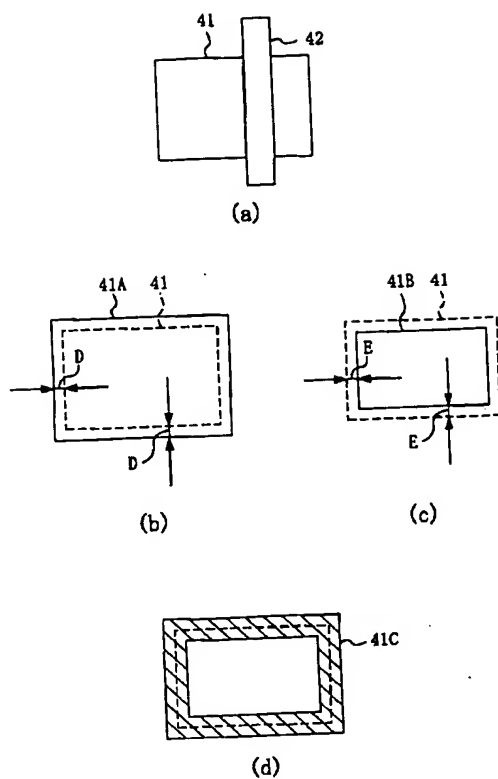
【図 8】



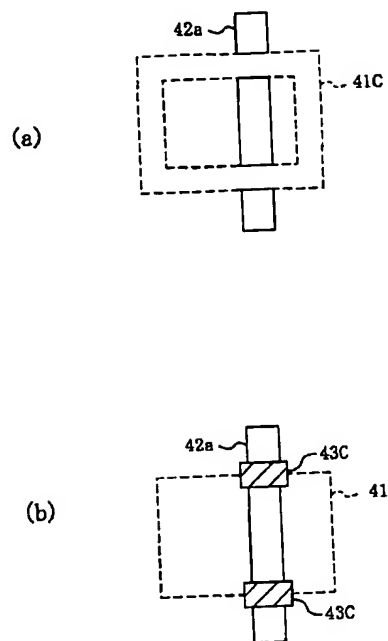
【図 14】



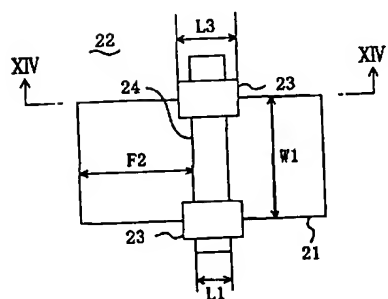
【図9】



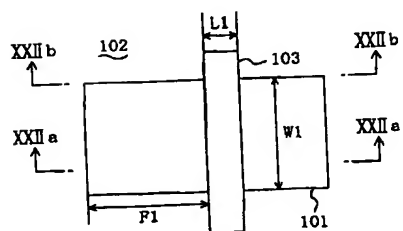
【図12】



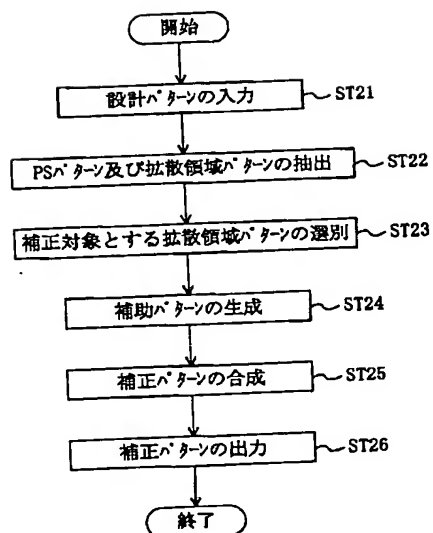
【図13】



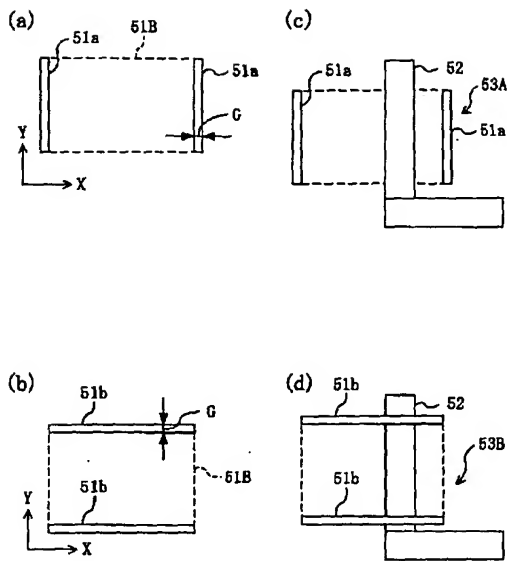
【図21】



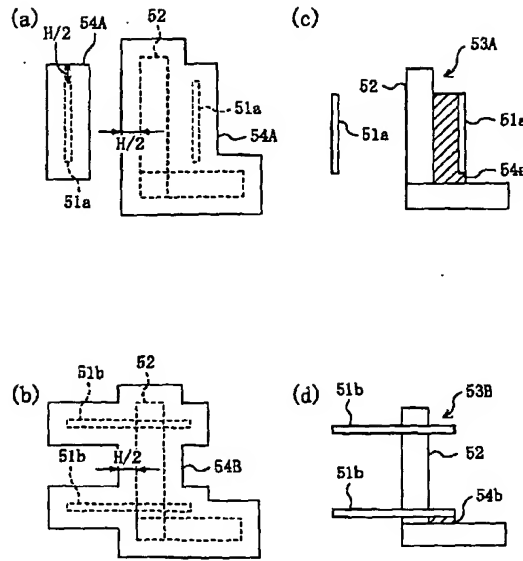
【図15】



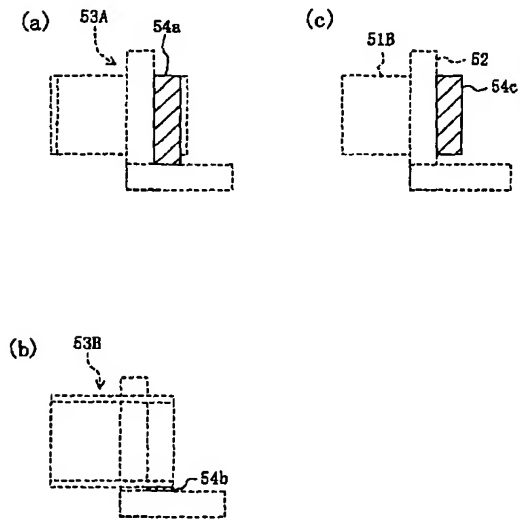
【図17】



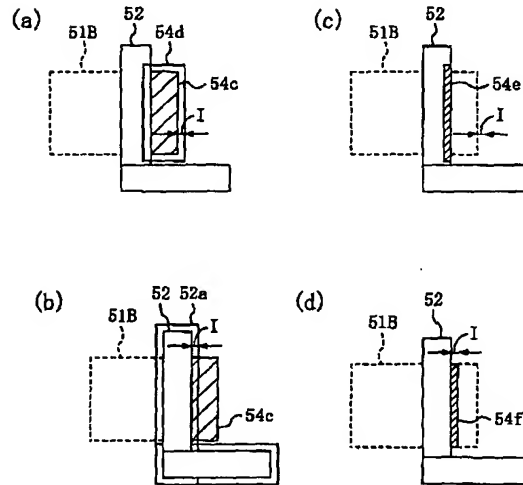
【図18】



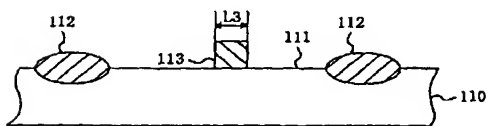
【図19】



【図20】

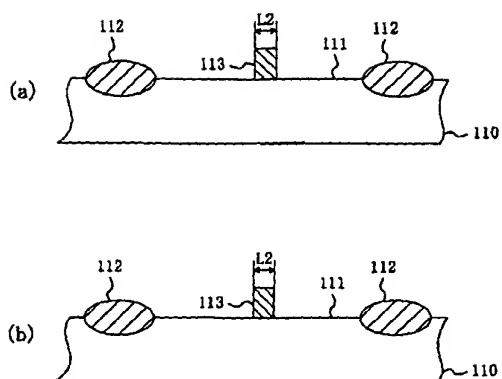


【図23】





【図22】



---

フロントページの続き

(72)発明者 向井 清士  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 柴田 英則  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 2H095 BB02  
5B046 AA08 BA04 FA06

